

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月24日

出 願 番 号

Application Number:

特願2003-016306

[ST.10/C]:

[JP 2003-016306]

出 願 人

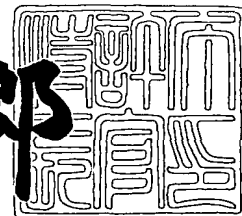
Applicant(s):

三菱電機株式会社

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009170

【書類名】 特許願

【整理番号】 542387JP01

【提出日】 平成15年 1月24日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 7/48
H02M 7/537
G05F 1/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 井上 博之

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大道 昭

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インバータ装置

【特許請求の範囲】

【請求項 1】 直流電源の正極端と負極端（接地端）との間に、それぞれにフライホイールダイオードが接続される 2 つのスイッチング素子を直列に接続し、それを必要個数並列に接続し、直列接続した 2 つのスイッチング素子を交互にかつ時間比率を変えてオン・オフ動作させ、その接続端からインダクタンス負荷への出力が取り出されるインバータ装置において、

前記 2 つのスイッチング素子における下アームスイッチング素子をオン動作させる制御信号を受けて、前記下アームスイッチング素子の制御電極に電源電圧を印加してミラー容量への充電を開始させる第 1 トランジスタと、

前記下アームスイッチング素子をオン動作させる制御信号の発生期間内において前記下アームスイッチング素子の制御電極の電圧が論理反転電圧に到達するタイミングを検出する検出回路と、

前記検出回路の検出信号を受けて前記下アームスイッチング素子の制御電極に電源電圧を印加してミラー容量への充電を加速させる第 2 トランジスタと、

を備えたことを特徴とするインバータ装置。

【請求項 2】 直流電源の正極端と負極端（接地端）との間に、それぞれにフライホイールダイオードが接続される 2 つのスイッチング素子を直列に接続し、それを必要個数並列に接続し、直列接続した 2 つのスイッチング素子を交互にかつ時間比率を変えてオン・オフ動作させ、その接続端からインダクタンス負荷への出力が取り出されるインバータ装置において、

前記 2 つのスイッチング素子における下アームスイッチング素子をオン動作させる制御信号を受けて、前記下アームスイッチング素子の制御電極に電源電圧を印加してミラー容量への充電を開始させる第 1 トランジスタと、

前記下アームスイッチング素子をオン動作させる制御信号の発生期間内において前記下アームスイッチング素子の両信号電極間の電位差が所定値以下に低下するタイミングを検出する検出回路と、

前記検出回路の検出信号を受けて前記下アームスイッチング素子の制御電極に

電源電圧を印加してミラー容量への充電を加速させる第2トランジスタと、
を備えたことを特徴とするインバータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、インバータ装置に関するものである。

【0002】

【従来の技術】

インバータ装置は、例えば三相モータの駆動装置として用いられる。三相モータの駆動装置として用いられるインバータ装置における出力回路は、直流電源の正極端と負極端（接地端）との間に、それぞれにフライホイールダイオードが接続される2つのスイッチング素子を直列に接続し、それを3相分並列に接続して構成され、直列接続した2つのスイッチング素子の接続端からモータへの出力が取り出される（例えば非特許文献1）。

【0003】

この出力回路は、PWM（Pulse Width Modulation）方式で制御される。すなわち、出力回路は、直列に接続される2つのスイッチング素子を交互にオン・オフし、そのオン・オフ動作の時間比率を変えることで出力電圧の大きさを変化させ、またオン・オフ動作するスイッチング素子の組合せを変えることで出力電圧の極性を変化させるように制御される。

【0004】

直列に接続される2つのスイッチング素子は、オン動作状態が重ならないようにオフ動作期間を挟んで交互にオン・オフ動作するように制御されるが、各相のモータ駆動電流はそれぞれ途切れないうで流れるようになっている。すなわち、例えば上アームのスイッチング素子がオン動作からオフ動作に切り替わると、下アームのスイッチング素子はオフ動作状態にあるが、モータのインダクタンスに蓄積されたエネルギーによる回生電流が上アームのスイッチング素子に接続されるフライホイールダイオードをモータ駆動電流と同方向に減衰しながら流れる。次いで、下アームのスイッチング素子がオン動作し、同方向のモータ駆動電流が当

該下アームのスイッチング素子を流れる。上アームのフライホイールダイオードは、逆電圧が掛かりオフ動作を行う。

【0005】

【非特許文献1】

ステッピングモータの制御回路設計（CQ出版、真壁 國昭著、35頁～118頁）

【0006】

【発明が解決しようとする課題】

しかしながら、上記の動作過程において、下アームのスイッチング素子がオン動作することによって上アームのフライホイールダイオードがオフ動作を行うときに、上アームのフライホイールダイオードには、逆回復特性で定まる時間内逆電流（逆回復電流）が流れるので、瞬時ではあるが、直流電源の正極端と負極端とが短絡する状態が発生し、その間、貫通電流が流れる。上アームのフライホイールダイオードに流れるこの逆回復電流は、下アームのスイッチング素子の切り替わり速度が速い場合には、相当に過大な電流になるので、回路動作が不安定になるという問題がある。

【0007】

この発明は、上記に鑑みてなされたもので、直列に接続した2つスイッチング素子のオン・オフ切り替わり時に発生する貫通電流を低減させる手段を備えたインバータ装置を得ることを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかるインバータ装置は、直流電源の正極端と負極端（接地端）との間に、それぞれにフライホイールダイオードが接続される2つのスイッチング素子を直列に接続し、それを必要個数並列に接続し、直列接続した2つのスイッチング素子を交互にかつ時間比率を変えてオン・オフ動作させ、その接続端からインダクタンس負荷への出力が取り出されるインバータ装置において、前記2つのスイッチング素子における下アームスイッチング素子をオン動作させる制御信号を受けて、前記下アームスイッチング素子の制御電

極に電源電圧を印加してミラー容量への充電を開始させる第1トランジスタと、前記下アームスイッチング素子をオン動作させる制御信号の発生期間内において前記下アームスイッチング素子の制御電極の電圧が論理反転電圧に到達するタイミングを検出する検出回路、または、前記下アームスイッチング素子をオン動作させる制御信号の発生期間内において前記下アームスイッチング素子の両信号電極間の電位差が所定値以下に低下するタイミングを検出する検出回路と、前記検出回路の検出信号を受けて前記下アームスイッチング素子の制御電極に電源電圧を印加してミラー容量への充電を加速させる第2トランジスタとを備えたことを特徴とする。

【 0 0 0 9 】

この発明によれば、接続される2つのスイッチング素子のオン・オフ切り替えが行われ、下アームスイッチング素子をオン動作させる制御信号が発生すると、まず、第1トランジスタが前記下アームスイッチング素子の制御電極に電源電圧を印加してミラー容量への充電を開始させる。ミラー容量への充電は、第1トランジスタのオン抵抗に依存した速さで進行する。これによって、下アームスイッチング素子の制御電極の電圧がオン動作する閾値電圧に向かって徐々に上昇するので、下アームスイッチング素子は徐々に導通状態に移行する。つまり、下アームスイッチング素子はスイッチング速度が遅くなるように制御される。この導通状態に移行する初期過程では、上アームスイッチング素子に接続されるフライホイールダイオードの逆回復電流による貫通電流が流れるが、そのレベルは低減されたものになる。この状態は、下アームスイッチング素子の制御電極の電圧が論理反転電圧に到達するタイミングまで、または、下アームスイッチング素子の両信号電極間の電位差が所定値以下に低下するタイミングまで継続する。そして、検出回路が、下アームスイッチング素子の制御電極の電圧が論理反転電圧に到達するタイミング、または、下アームスイッチング素子の両信号電極間の電位差が所定値以下に低下するタイミングを検出すると、第2トランジスタが下アームスイッチング素子の制御電極に電源電圧を印加してミラー容量への充電を加速させる。これによって、下アームスイッチング素子はスイッチング速度が速くなるように制御されるので、得たい回路特性の要件を満たすことができる。

【 0 0 1 0 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかるインバータ装置の好適な実施の形態を詳細に説明する。

【 0 0 1 1 】

実施の形態 1.

図 1 は、この発明の実施の形態 1 であるインバータ装置の出力回路の構成を示す回路図である。まず、この発明の理解を容易にするため、図 3 と図 4 を参照してインバータ装置の出力動作について説明する。なお、図 3 は、この発明が対象とするインバータ装置の出力回路の一般的な構成例を示す回路図である。図 4 は、図 3 に示す出力回路においてフライホイールダイオードの逆回復特性とスイッチング素子の動作との関係を説明する特性図である。

【 0 0 1 2 】

図 3 では、三相モータの駆動回路として用いられるインバータ装置における出力回路が示されている。図 3 において、直流電源 V_m の正極端には、スイッチング素子である 3 個の NMOS トランジスタ Q_2 、 Q_4 、 Q_6 のソース電極がそれぞれ接続され、直流電源 V_m の負極端（接地端）には、外付け抵抗器 R_1 を介してスイッチング素子である 3 つの NMOS トランジスタ Q_1 、 Q_3 、 Q_5 のソース電極がそれぞれ接続されている。

【 0 0 1 3 】

NMOS トランジスタ Q_1 、 Q_2 のドレイン電極は共通に接続され、NMOS トランジスタ Q_3 、 Q_4 のドレイン電極は共通に接続され、NMOS トランジスタ Q_5 、 Q_6 のドレイン電極は共通に接続され、それぞれの接続端は、三相モータ M_1 の対応する相入力端に接続されている。

【 0 0 1 4 】

そして、6 つの NMOS トランジスタ $Q_1 \sim Q_6$ には、ドレイン・ソース間にフライホイールダイオード $D_1 \sim D_6$ がそれぞれ接続されている。なお、NMOS トランジスタ $Q_1 \sim Q_6$ として二重拡散形の DMOS トランジスタを用いる場合には、フライホイールダイオード $D_1 \sim D_6$ は、NMOS トランジスタ $Q_1 \sim$

Q6を形成する際に作られる内蔵ダイオードである。

【0015】

以上のように構成される出力回路は、PWM (Pulse Width Modulation) 方式で制御される。すなわち、出力回路は、直列に接続される2つのNMOSトランジスタ(Q1, Q2) (Q3, Q4) (Q5, Q6)を交互にオン・オフし、そのオン・オフ動作の時間比率を変えることで出力電圧の大きさを変化させ、またオン・オフ動作するNMOSトランジスタの組合せを変えることで出力電圧の極性を変化させるように制御される。

【0016】

直列に接続される2つのNMOSトランジスタ(Q1, Q2) (Q3, Q4) (Q5, Q6)は、オン動作状態が重ならないようにオフ動作期間を挟んで交互にオン・オフ動作するように制御されるが、各相のモータ駆動電流はそれぞれ途切れないで流れるようになっている。以下に三相モータM1の1相について説明する。

【0017】

すなわち、例えば、NMOSトランジスタQ1, Q4をオフ動作状態に設定し、NMOSトランジスタQ2, Q3をオン動作状態に設定すると、NMOSトランジスタQ2→三相モータM1→NMOSトランジスタQ3の向きにモータ駆動電流が流れる。

【0018】

そして、上アームのNMOSトランジスタQ2をオフ動作状態に切り替え、上アームのNMOSトランジスタQ4をオン動作状態に切り替え、下アームのNMOSトランジスタQ3をオフ動作状態に切り替え、三相モータM1のインダクタンスに蓄積されたエネルギーによる回生電流①がNMOSトランジスタQ4→三相モータM1→フライホイールダイオードD2の向きに減衰しながら流れる。これは、上記のモータ駆動電流と同じ向きである。

【0019】

次いで、下アームのNMOSトランジスタQ1をオン動作状態に切り替え、同方向のモータ駆動電流②がNMOSトランジスタQ4→三相モータM1→N

MOSトランジスタQ1の向きに流れる。このとき、フライホイールダイオードD2は、逆電圧が掛かりオフ動作を行う。

【0020】

ところで、上記の動作過程において、下アームのNMOSトランジスタQ1がオン動作することによって上アームのフライホイールダイオードD2がオフ動作を行うときに、上アームのフライホイールダイオードD2には、逆回復特性で定まる時間内逆電流（逆回復電流）が流れるので（図4参照）、瞬時ではあるが、直流電源 V_m の正極端と負極端とがフライホイールダイオードD2とNMOSトランジスタQ1の直列回路を介して短絡する状態が発生し、その間、貫通電流③が流れる。上アームのフライホイールダイオードD2に流れるこの逆回復電流は、下アームのNMOSトランジスタQ1の切り替わり速度が速い場合には、相当に過大な電流になる。

【0021】

次に、図4を参照して、上記の貫通電流③が発生するときのフライホイールダイオードD2とNMOSトランジスタQ1の動作について説明する。図4（1）において、フライホイールダイオードD2の順方向電流（上記回生電流①） I_F は、時刻 T_1 までは一定値で、時刻 T_1 にて逆電圧 V_f が印加されると、ゼロに向かって減少し時刻 T_2 でゼロになるが、逆電圧 V_f によって時刻 $T_2 \sim$ 時刻 T_4 までの逆回復時間内、逆回復電流が流れる。この逆回復電流は、中間の時刻 T_3 にて最大になっている。

【0022】

図4（2）～（4）において、NMOSトランジスタQ1のドレイン電極には逆電圧 V_f が掛かるので、ドレイン・ソース間電圧 V_{ds} は、時刻 T_1 までは、 $V_m + V_f$ である（図4（2））。ゲート電極にオン動作信号が印加されると、ミラー容量（ゲート容量） C_{gd} の充電が開始され、ゲート・ドレイン間電圧 V_{gs} は、時刻 T_1 にて閾値電圧 V_{th} に到達する（図4（4））。

【0023】

これによって、ドレイン・ソース間電圧 V_{ds} は、電圧 $V_m + V_f$ から dV/dt の傾きで降下し、時刻 T_2 にて電源電圧 V_m に到達する（図4（2））。ま

た、ドレイン電流 I_d は、時刻 T_1 にて流れ出し、時刻 T_2 にて既定値に到達する（図4（3））。そして、ゲート・ドレイン間電圧 V_{gs} は、閾値電圧 V_{th} から V_{ds}/I_d 特性に従って上昇し、時刻 T_2 にて V_{ds}/I_d 特性で定まるゲート電圧 V_g に到達する（図4（4））。

【0024】

その後、ドレイン・ソース間電圧 V_{ds} は、電源電圧 V_m から dV/dt の傾きで降下し、逆回復電流がピークになる時刻 T_3 にて $0V$ となり、以降それを維持する（図4（2））。ミラー容量（ゲート容量） C_{gd} の充電は、時刻 T_3 にて終了する。ドレイン電流 I_d は、時刻 T_2 から逆回復時間が終了する時刻 T_4 までの期間内、既定値を超えて流れ、時刻 T_4 以降既定値を維持する（図4（3））。

【0025】

ここで、図4から理解できるように、フライホイールダイオード D_2 の逆回復特性および逆回復時間を決定するのは、ゲート・ドレイン間電圧 V_{gs} が閾値電圧 V_{th} に到達した時刻 T_1 からゲート電圧 V_g まで上昇する時刻 T_2 までの区間（I）および時刻 T_2 から時刻 T_3 までの区間（II）である。

【0026】

したがって、貫通電流のレベルを低減するには、時刻 T_1 ～時刻 T_2 の区間（I）と時刻 T_2 ～時刻 T_3 の区間（II）とを長くすればよい。すなわち、NMOSトランジスタ Q_1 のスイッチング速度を遅くすればよい。しかし、単に、NMOSトランジスタ Q_1 のスイッチング速度を遅くするだけでは、時刻 T_3 ～時刻 T_4 の区間（III）も長くなり、本来得ようとしていた回路特性が得られなくなる。

【0027】

そこで、この発明では、図3に示す構成で言えばNMOSトランジスタ Q_1 ～ Q_6 にはスイッチング速度の速い素子を用いるが、貫通電流のレベルを低減する方策として、下アームのNMOSトランジスタ Q_1 、 Q_3 、 Q_5 のスイッチング速度を、時刻 T_1 ～時刻 T_3 では遅くし、時刻 T_3 ～時刻 T_4 では速くするスイッチング速度切替回路を設け、貫通電流のレベル低減を図りつつ所望の回路特性

が得られるようにしている。以下、図 1（実施の形態 1）および図 2（実施の形態 2）を参照して具体的に説明する。

【 0 0 2 8 】

実施の形態 1 であるインバータ装置の出力回路では、図 3 に示す構成で言えば下アームの NMOS トランジスタ Q 1, Q 3, Q 5 のゲート電圧の上昇過程に応じてスイッチング速度を低速から高速に段階的に切り替えるようにしている。図 1 では、図 3 に示した NMOS トランジスタ Q 1, Q 2 の関係における NMOS トランジスタ Q 1 に対するスイッチング速度切替回路が抜き出して示されている。

【 0 0 2 9 】

図 1 において、インバータ回路 1 0 は、CMOS インバータ回路であってその入力端（アノード）には、外部から NMOS トランジスタ Q 1 をスイッチングさせるオン・オフ制御信号が印加される。インバータ回路 1 0 の出力端には、CMOS インバータ回路を構成する PMOS トランジスタ 1 1 および NMOS トランジスタ 1 2 のゲート電極と排他的論理和回路 1 3 の一方の入力端とが接続されている。

【 0 0 3 0 】

PMOS トランジスタ 1 1 のソース電極は電源 V_m に接続され、NMOS トランジスタ 1 2 のソース電極は接地（グランド）に接続されている。PMOS トランジスタ 1 1 のドレイン電極と NMOS トランジスタ 1 2 のドレイン電極は共通に、NMOS トランジスタ Q 1 のゲート電極と排他的論理和回路 1 3 の他方の入力端と排他的論理和回路 1 3 の他方の入力端と NAND 回路 1 4 の一方の入力端とに接続されている。

【 0 0 3 1 】

排他的論理和回路 1 3 の出力端は NAND 回路 1 4 の他方の入力端に接続されている。NAND 回路 1 4 の出力端は PMOS トランジスタ 1 5 のゲート電極に接続されている。PMOS トランジスタ 1 5 のソース電極は電源 V_m に接続され、ドレイン電極は NMOS トランジスタ Q 1 のゲート電極に接続されている。

【 0 0 3 2 】

なお、PMOSトランジスタ11は第1トランジスタに対応し、排他的論理和回路13とNAND回路14は全体として検出回路に対応し、PMOSトランジスタ15は第2トランジスタに対応している。

【0033】

次に、図1を参照して、実施の形態1であるインバータ装置の出力回路の動作について説明する。インバータ回路10に低レベル（以下「Lレベル」という）の信号が印加されると、PMOSトランジスタ11はオフ動作を行い、NMOSトランジスタ12はオン動作を行う。その結果、NMOSトランジスタQ1は、ゲート電極がNMOSトランジスタ12を介して接地に接続され、オフ動作を行う。

【0034】

その後、インバータ回路10に高レベル（以下「Hレベル」という）の信号が印加されると、PMOSトランジスタ11はオン動作を行い、NMOSトランジスタ12はオフ動作を行う。その結果、NMOSトランジスタQ1は、ゲート電極がPMOSトランジスタ11を介して電源 V_m に接続され、ミラー容量 C_{gd} への充電が開始する。

【0035】

このときの充電時間は、PMOSトランジスタ11のオン抵抗に依存し、そのオン抵抗が大きい場合には充電に時間がかかり、NMOSトランジスタQ1のスイッチング速度が遅くなる。つまり、NMOSトランジスタQ1のゲート電圧は、充電の進行状況に応じて徐々に上昇しオン動作する閾値電圧 V_{th} に到達する。図4（4）の例で言えば、時刻 T_1 に至る時間を引き延ばしたのである。この間では、NMOSトランジスタQ1は徐々に導通状態に移行するので、この導通状態に移行する初期過程では、上アームのフライホイールダイオードD2の逆回復電流による貫通電流が流れるが、そのレベルは低減されたものになる。

【0036】

NMOSトランジスタQ1のゲート電圧が閾値電圧 V_{th} を超えても排他的論理和回路13の論理反転電圧に到達するまでは、排他的論理和回路13は出力をLレベルにし、NAND回路14が出力をHレベルにしているので、PMOSト

ランジスタ15がオフ動作状態を維持する。したがって、上記貫通電流のレベル低減動作が継続して行われる。

【0037】

そして、NMOSトランジスタQ1のゲート電圧が閾値電圧 V_{th} を超えて排他的論理和回路13の論理反転電圧に到達すると、排他的論理和回路13では、インバータ回路10の出力がLレベルで、PMOSトランジスタ11のドレイン電極がHレベルであるので、出力をHレベルにする。その結果、NAND回路14が出力をLレベルにし、PMOSトランジスタ15がオン動作を行い、NMOSトランジスタQ1のゲート電極を電源 V_m に接続する。

【0038】

これによって、NMOSトランジスタQ1では、ミラー容量 C_{gd} への充電がPMOSトランジスタ11およびPMOSトランジスタ15の双方からの充電となり、加速されるので、スイッチング速度が速くなる。その後、NMOSトランジスタQ1は、インバータ回路10に印加されているHレベルの信号がLレベルに立ち下がるまで期間内、ドレイン・ソース間電圧 V_{ds} が0Vになるオン動作状態を維持する。図4(4)の例で言えば、区間(II)が極端に短くなり、区間(III)が無くなった場合に相当する。

【0039】

ここで、NMOSトランジスタQ1のスイッチング速度は、ミラー容量 C_{gd} を考慮し、PMOSトランジスタ11およびPMOSトランジスタ15のオン抵抗を目的に合わせて設定することで、自由に変えることができる。

【0040】

このように、実施の形態1によれば、下アームのNMOSトランジスタがオン駆動されるときに、スイッチング速度をゲート電圧が閾値電圧まで到達する期間では遅くなるように制御し、閾値電圧を超えて論理反転電圧を過ぎると速くなるように制御することができるので、貫通電流のレベルを低減しつつ本来得ようとしていた回路特性を得ることができる。

【0041】

実施の形態2.

図2は、この発明の実施の形態2であるインバータ装置の出力回路の構成を示す回路図である。なお、図2では、図1に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態2に関わる部分を中心に説明する。

【0042】

図2に示すように、実施の形態2であるインバータ装置の出力回路では、図1に示した構成において、検出回路を構成する排他的論理和回路13とNAND回路14に代えて、検出回路を構成するコンパレータ23とNAND回路24が設けられている。

【0043】

コンパレータ23の正相入力端(+)には、NMOSトランジスタQ1のドレイン電極が接続され、コンパレータ23の逆相入力端(-)には、NMOSトランジスタQ1のソース電極と外付け抵抗器R1との接続端が接続され、コンパレータ23の出力端は、NAND回路24の一方の入力端に接続されている。NAND回路24の他方の入力端には、インバータ回路10の入力端が接続され、NAND回路24の出力端は、PMOSトランジスタ15のゲート電極が接続されている。

【0044】

次に、図2を参照して、実施の形態2であるインバータ装置の出力回路の動作について説明する。インバータ回路10にLレベルの信号が印加されると、PMOSトランジスタ11はオフ動作を行い、NMOSトランジスタ12はオン動作を行う。その結果、NMOSトランジスタQ1は、ゲート電極がNMOSトランジスタ12を介して接地に接続され、オフ動作を行う。

【0045】

その後、インバータ回路10にHレベルの信号が印加されると、PMOSトランジスタ11はオン動作を行い、NMOSトランジスタ12はオフ動作を行う。その結果、NMOSトランジスタQ1は、ゲート電極がNMOSトランジスタ11を介して電源V_mに接続され、ミラー容量C_{gd}への充電が開始する。

【0046】

このときの充電時間は、PMOSトランジスタ11のオン抵抗に依存し、そのオン抵抗が大きい場合には充電に時間がかかり、NMOSトランジスタQ1のスイッチング速度が遅くなる。つまり、NMOSトランジスタQ1のゲート電圧は、充電の進行状況に応じて徐々に上昇しオン動作する閾値電圧 V_{th} に到達する。図4(4)の例で言えば、時刻 T_1 に至る時間を引き延ばしたのである。この間では、NMOSトランジスタQ1は徐々に導通状態に移行するので、この導通状態に移行する初期過程では、上アームのフライホイールダイオードD2の逆回復電流による貫通電流が流れるが、そのレベルは低減されたものになる。

【0047】

NMOSトランジスタQ1のゲート電圧が閾値電圧 V_{th} を超えてもドレイン・ソース間電圧 V_{ds} がある値以下の電圧に低下するまでは、コンパレータ23が出力をLレベルにし、NAND回路24が出力をHレベルにしているので、PMOSトランジスタ15がオフ動作状態を維持する。したがって、上記貫通電流のレベル低減動作が継続して行われる。

【0048】

そして、NMOSトランジスタQ1のドレイン・ソース間電圧 V_{ds} がある値以下の電圧に低下すると、コンパレータ23が出力をHレベルにする。その結果、NAND回路24が出力をLレベルにし、PMOSトランジスタ15がオン動作を行い、NMOSトランジスタQ1のゲート電極を電源 V_m に接続する。

【0049】

これによって、NMOSトランジスタQ1では、ミラー容量 C_{gd} への充電がPMOSトランジスタ11およびPMOSトランジスタ15の双方からの充電となり、加速されるので、スイッチング速度が速くなる。その後、NMOSトランジスタQ1は、インバータ回路10に印加されているHレベルの信号がLレベルに立ち下がるまでの期間内、ドレイン・ソース間電圧 V_{ds} が0Vになるオン動作状態を維持する。図4(4)の例で言えば、区間(II)が短くなり、区間(III)が無くなった場合に相当する。

【0050】

ここで、NMOSトランジスタQ1のスイッチング速度は、実施の形態1と同

様に、ミラー容量 C_{gd} を考慮し、PMOSトランジスタ11およびPMOSトランジスタ15のオン抵抗を目的に合わせて設定することで、自由に変えることができる。

【0051】

このように、実施の形態2によれば、下アームのNMOSトランジスタがオン駆動されるときに、スイッチング速度をゲート電圧が閾値電圧まで到達する期間では遅くなるように制御し、ドレイン・ソース間電圧が所定値以下になった以降は速くなるように制御することができるので、実施の形態1と同様に、貫通電流のレベルを低減しつつ本来得ようとしていた回路特性を得ることができる。

【0052】

なお、実施の形態1, 2では、スイッチング素子としてフライホイールダイオードが内蔵される二重拡散形のDMOSトランジスタを用いる場合を示したが、その他、バイポーラトランジスタやIGBTも同様に用いることができる。バイポーラトランジスタやIGBTを用いる場合は、フライホイールダイオードは外付けすることになる。

【0053】

また、三相モータの駆動回路への適用例を示したが、この発明は、これに限定されるものではなく、任意のインダクタンス負荷について適用できることは言うまでもない。

【0054】

【発明の効果】

以上説明したように、この発明によれば、接続される2つのスイッチング素子のオン・オフ切り替えが行われ、下アームスイッチング素子をオン動作させる制御信号が発生すると、まず、下アームスイッチング素子はスイッチング速度が遅くなるように制御される。この下アームスイッチング素子が導通状態に移行する初期過程では、上アームスイッチング素子に接続されるフライホイールダイオードの逆回復電流による貫通電流が流れるが、そのレベルは低減されたものになる。この状態は下アームスイッチング素子の制御電極の電圧が論理反転電圧を超えるタイミングまで、または、下アームスイッチング素子の両信号電極間の電位差

が所定値以下に低下するタイミングまで継続する。そして、下アームスイッチング素子の制御電極の電圧が論理反転電圧を超えると、または、下アームスイッチング素子の両信号電極間の電位差が所定値以下に低下すると、下アームスイッチング素子はスイッチング速度が速くなるように制御されるので、得たい回路特性の要件を満たすことができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 であるインバータ装置の出力回路の構成を示す回路図である。

【図 2】 この発明の実施の形態 2 であるインバータ装置の出力回路の構成を示す回路図である。

【図 3】 この発明が対象とするインバータ装置の出力回路の一般的な構成例を示す回路図である。

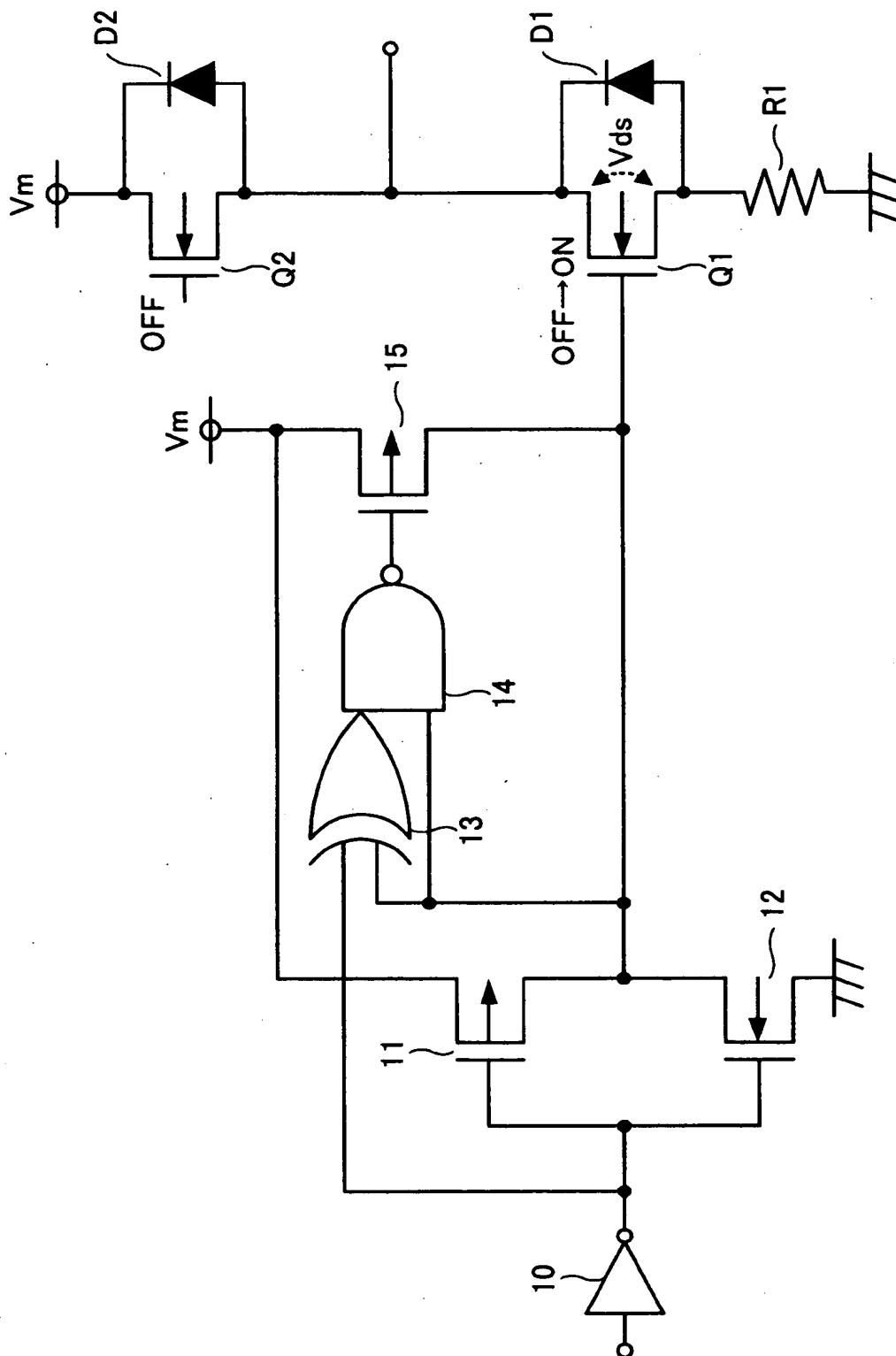
【図 4】 図 3 に示す出力回路においてフライホイールダイオードの逆回復特性とスイッチング素子の動作との関係を説明する特性図である。

【符号の説明】

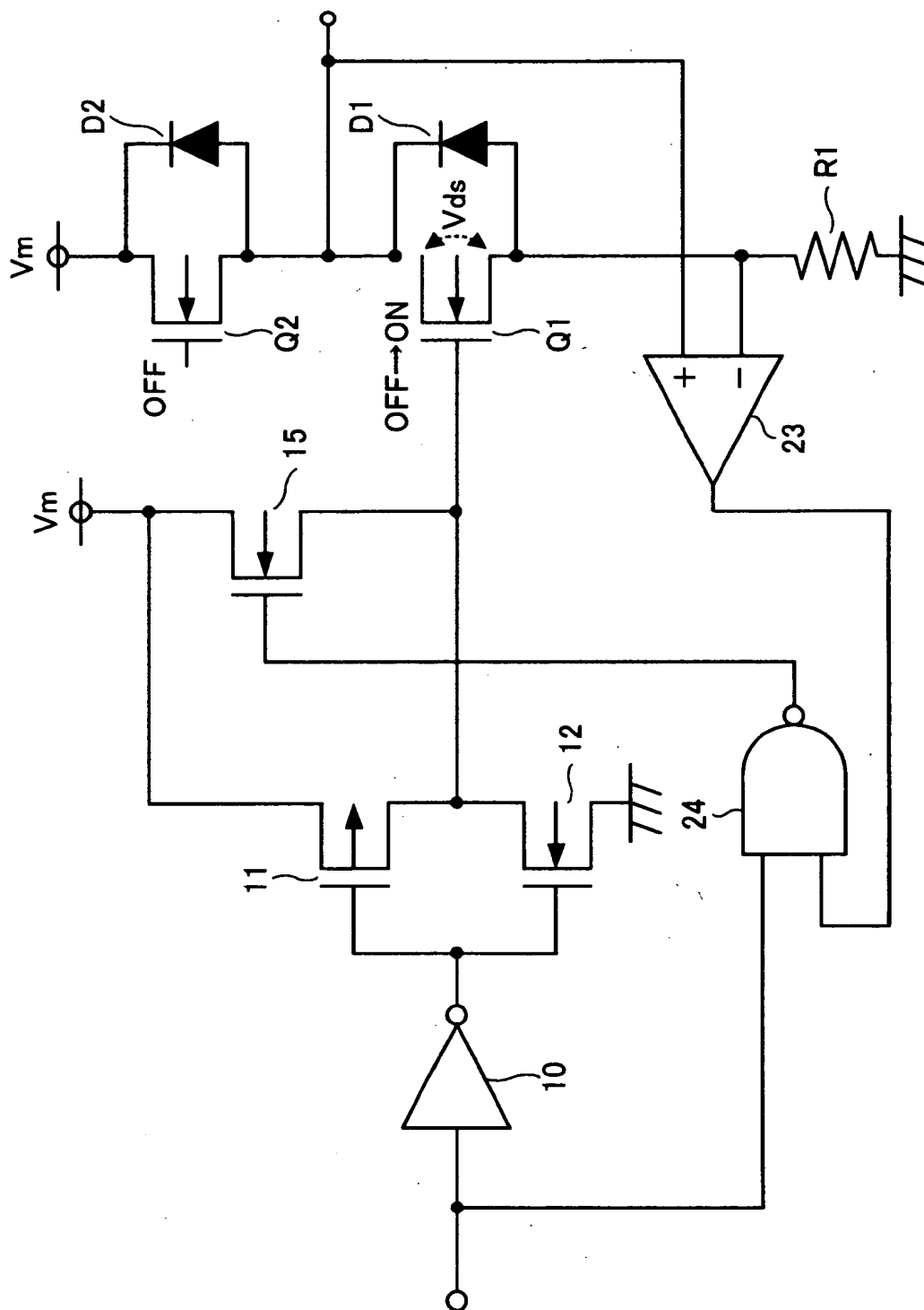
1 0 インバータ回路、1 1, 1 5 PMOS トランジスタ、1 2 NMOS トランジスタ、1 3 排他的論理和回路、1 4, 2 4 NAND 回路、2 3 コンパレータ、Q 1 ~ Q 6 NMOS トランジスタ、D 1 ~ D 6 フライホイールダイオード。

【書類名】 図面

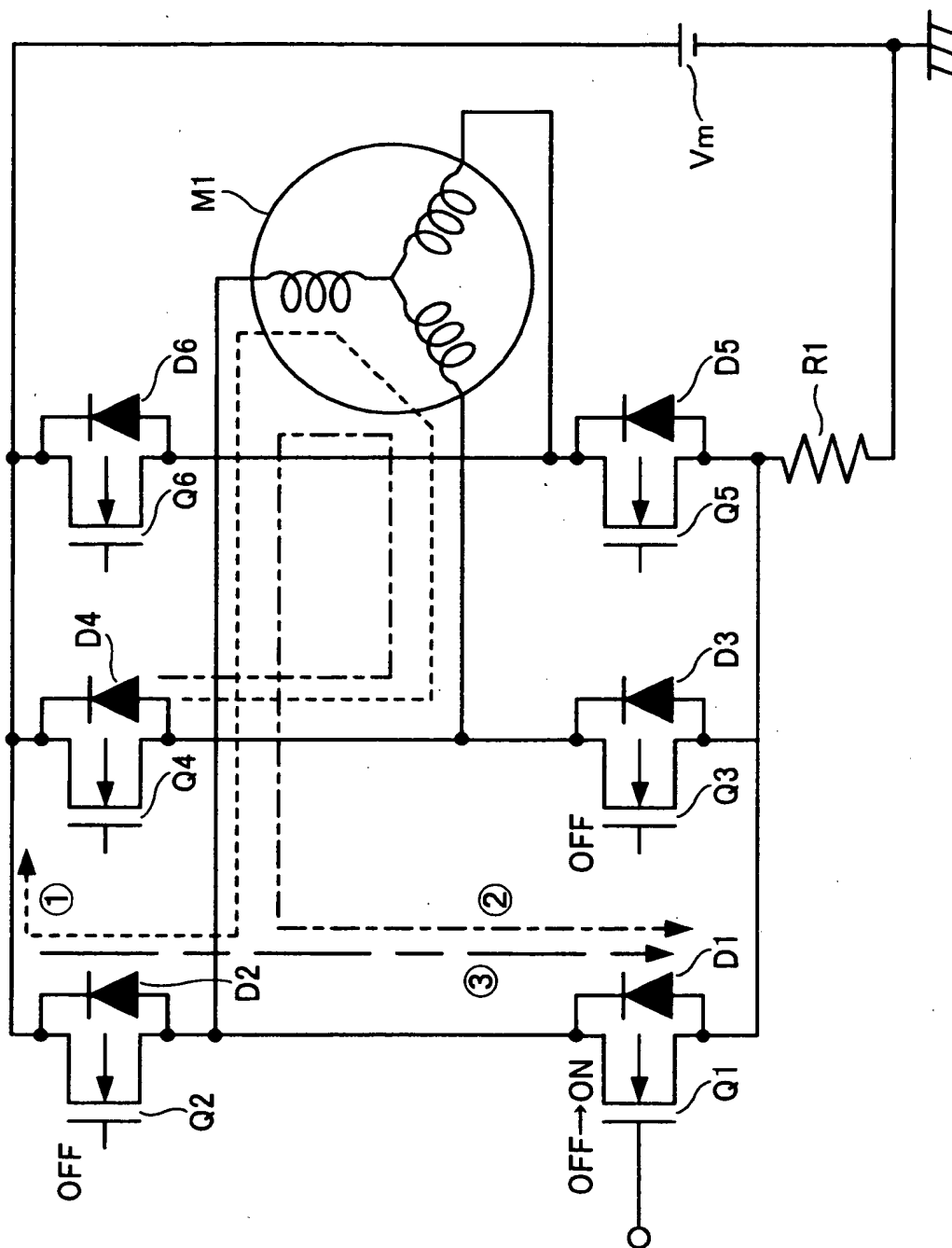
【図 1】



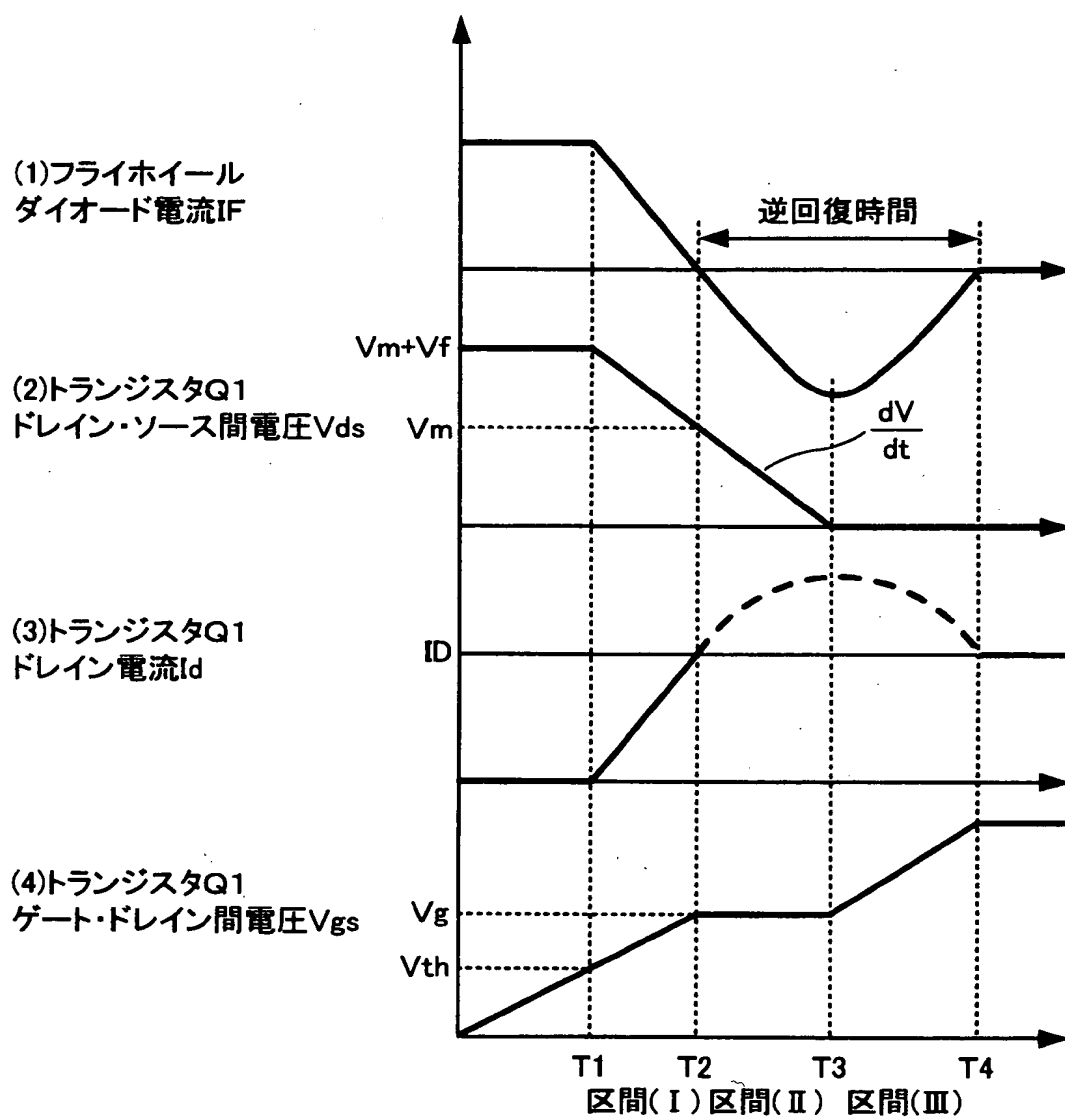
【図 2】



【図3】



【図 4】



【書類名】 要約書

【要約】

【課題】 直列に接続した2つスイッチング素子のオン・オフ切り替わり時に発生する貫通電流を低減させること。

【解決手段】 Q1, Q2のオン・オフ切り替えが行われ、Q1をオン動作させるHレベル信号がインバータ回路10に入力すると、トランジスタ11がオン動作しQ1のゲート電極に電源Vmの電圧を印加してミラー容量への充電を開始させる。Q1のゲート電圧がオン動作する閾値電圧に向かって上昇する。つまりQ1はスイッチング速度が遅くなるように制御される。この間、フライホイールダイオードD2の逆回復電流による貫通電流のレベルが低減される。そして、Q1のゲート電圧が論理反転電圧を超えると、トランジスタ15がオン動作しQ1のゲート電極に電源Vmの電圧を印加してミラー容量への充電を加速させる。これによって、Q1はスイッチング速度が速くなるように制御される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社